

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-21785

(43)公開日 平成7年(1995)1月24日

(51)Int.Cl.⁶

G 1 1 C 15/00
15/04

識別記号

Z
B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21)出願番号 特願平5-159727

(22)出願日 平成5年(1993)6月29日

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72)発明者 金沢 直樹

東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社東京本社内

(72)発明者 米田 正人

東京都千代田区内幸町2丁目2番3号 川崎製鉄株式会社東京本社内

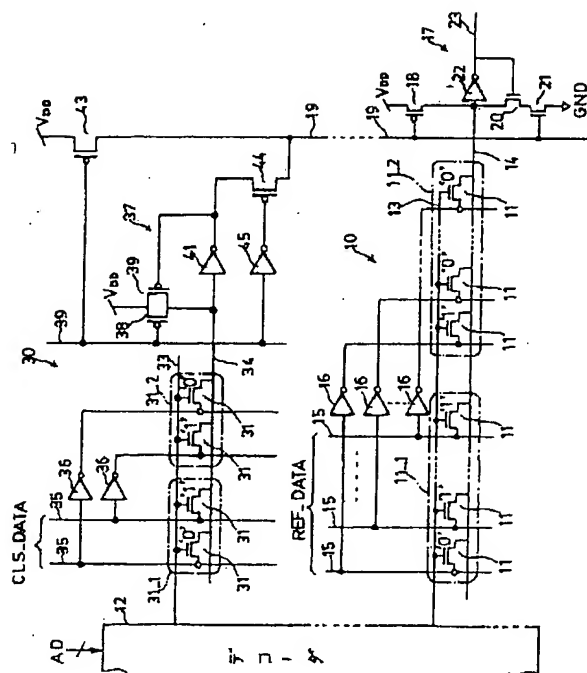
(74)代理人 弁理士 小杉 佳男 (外2名)

(54)【発明の名称】 半導体メモリ

(57)【要約】

【目的】本発明は、メモリを構成する多数のメモリ領域それぞれに各格納データを記憶しておき、外部から検索用データを入力し、その入力された検索用データと同一の格納データに対応したメモリ領域の記憶内容やアドレスを読み出す半導体メモリに関し、消費電力を低減化する。

【構成】群データを記憶しておき、外部から分類データを入力してその分類データと各群データとを比較し、一致する群データに対応する群に属するメモリ領域に格納された格納データのみとの一致比較動作を行う。



1

【特許請求の範囲】

【請求項1】 検索用データが入力される検索用データ入力端子と、

多数のメモリ領域それぞれに各格納データを記憶し、前記検索用データ入力端子から入力された検索用データと前記各格納データとの一致比較を行うことにより、該検索用データと一致する格納データに対応する前記メモリ領域を選択する一致信号を出力するメモリ部と、

前記メモリ領域が複数に分類されてなる各群のうちのいずれか1つの群を指標する分類データを入力する分類データ入力端子と、

前記群のそれぞれに対応する群データを記憶し、前記分類データ入力端子から入力された分類データと前記群データとの一致比較を行うことにより、前記メモリ部における、前記検索用データと、前記分類データと一致した群データに対応する群に属する前記メモリ領域に対応する前記格納データのみとの一致比較動作を実行させる制御部とを備えたことを特徴とする半導体メモリ。

【請求項2】 前記メモリ部が、前記メモリ領域が前記群毎に分割されてなる複数のメモリブロックからなることを特徴とする半導体メモリ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、メモリ部を構成する多数のメモリ領域それぞれに各格納データを記憶しておき、外部から検索用データを入力し、その入力された検索用データと同一の格納データが格納されたメモリ領域を検出し、例えばそのメモリ領域のアドレスを出力する半導体メモリに関する。

【0002】

【従来の技術】 従来より種々の構造の半導体メモリが提案されており、また広く用いられているが、それらの半導体メモリの1つとして、単にアドレスを入力してそのアドレスに対応するメモリ領域に記憶された内容を読み出すのではなく、多数のメモリ領域それぞれに各格納データを記憶しておき、検索用データを入力し、その入力された検索用データと一致する格納データが記憶されたメモリ領域のアドレスや、そのメモリ領域の内容を読み出すタイプの半導体メモリが考えられている。

【0003】 図4は、上記のタイプの半導体メモリのメモリ部の、1つの格納データが記憶された一つのメモリ領域の構成を示す回路図である。この半導体メモリのデコーダ部には、図4に示すような構成のメモリ領域10が多数備えられており、またこの半導体メモリの図示しないメモリ部には、各メモリ領域10それぞれに対応する、それぞれ1ワード分のメモリセルからなる多数のメモリ領域が形成されている。

【0004】 メモリ部を構成する、図4に示すメモリ領域10には、1ワード部のセルトランジスタ11が2組分備えられており、これらのセルトランジスタ11のゲ

2

ートはデコーダ12から延びるワード線13に接続され、またこれらのセルトランジスタのソースは、一致検出線14に接続されている。またこれらのセルトランジスタ11のうち、第1のグループ11_1に属するセルトランジスタ11のドレインは、検索用データREF_DATAを入力するデータ入力線15に、各セルトランジスタ11の記憶内容‘0’、‘1’に応じて、非接続とされ、もしくは接続されている。これにより、1ワードからなる1つの格納データがここに記憶されていることになる。図4では、セルトランジスタ11とデータ入力線15との接続点に示された、白丸は非接続、黒丸は接続を表わしている。またセルトランジスタ11のうち、第2のグループ11_2に属するセルトランジスタ11のドレインは、検索用データREF_DATAを入力するデータ入力線15に、インバータ16を介して接続、ないし非接続とされている。

【0005】 また、このメモリ領域10には、センスアンプ17が備えられており、一致検出線14の充電、放電の状態が検出される。さらにこの一致検出線14には、電源V_{DD}との間にプリチャージトランジスタ18が接続されており、そのプリチャージトランジスタ18のゲートはプリチャージ制御線19に接続されている。また、この一致検出線14とグラウンドGNDとの間には2つのトランジスタ20、21が直列に接続されており、トランジスタ20のゲートはセンスアンプインバータ22の出力と接続され、トランジスタ21のゲートはプリチャージ制御線19と接続されている。

【0006】 センスアンプインバータ22の出力端から延びる一致線23は、図示しない内部ロジック回路領域に延びている。この一致線‘0’、‘1’の出力は、内部ロジック回路領域内でラッチされ、そのメモリ領域10の出力や複数の検索動作等に利用される。また、図4に示すデコーダ12は、アドレスADを入力しそのアドレスADに対応するワード線13を立ち上げる機能を有し、この半導体メモリは、その立ち上げられたワード線13に対応するメモリ領域10に格納された格納データを読み出す機能も備えている。また、デコーダ12は、データ入力線15から検索用データREF_DATAが入力される際は、全てのメモリ領域10のワード線13を立ち上げる機能も有している。

【0007】 ここで、図4に示す回路において、まずプリチャージ制御線19を‘0’にする。すると、電源V_{DD}から、プリチャージトランジスタ18を経由して一致検出線14に電荷が流れ込んでその一致検出線14がプリチャージされ、インバータ22の入力側が‘1’、出力側の一致線23が‘0’となる。このとき、トランジスタ20、21はいずれもオフとなる。

【0008】 次に、全てのメモリ領域10に延びる全てのワード線13を‘1’に立ち上げ、その状態で、検索用データREF_DATAが入力される。またこれと

もに、プリチャージ制御線19が「1」にされる。ここでは、図4に示すメモリ領域10の、第1のグループ11_1に属するセルトランジスタ11が保持する内容、即ち「0」、1、…、1」と同一の検索用データが入力されたものとする。このときは、一致検出線14にプリチャージされた電荷はどのセルトランジスタ11を経由してもディスチャージされず、センスアンプインバータ22の出力に接続された一致線23は、一致を表わす「0」の状態のままにとどまる。

【0009】また、検索用データREF_DATAとして、図4に示すメモリ領域10の内容「0」、1、…、1」とは異なる「1」、1、…、1」が入力されたものとする、一致検出線14の電荷は、グループ11_1に属するセルトランジスタ11を経由してはディスチャージされないが、グループ11_2の、図示の最左端のセルトランジスタ11を経由してディスチャージされ、これにより一致検出線14が「0」、一致線23が不一致を表わす「1」の状態となる。この状態の移行の途中でトランジスタ20がオンすると、トランジスタ21は既にプリチャージ制御線19が「1」となっていることから既にオンしているため、一致検出線14の電荷がトランジスタ20、21を経由してディスチャージされ、信号の状態が急激に変化する。

【0010】このようにして、入力される検索用データREF_DATAと各メモリ領域10に格納された格納データとの一致不一致が検出され、その検出結果が一致線23に出力される。この一致線23に出力された一致、不一致の信号に基づいて、検索用データREF_DATAと一致した格納データが格納されたメモリ領域10のアドレスやそのメモリ領域10の記憶内容が読み出される。

【0011】

【発明が解決しようとする課題】上記の半導体メモリでは、1回の検索動作において、メモリ部に備えられた多数の一致検出線14をプリチャージし、外部から入力された検索用データと一致する、通常は1つのみのメモリ領域10の一致検出線14を除き、他の多数の一致検出線14がディスチャージされるため、この多数の一致検出線14のプリチャージ、ディスチャージにより消費される電力が非常に大きく、このため消費電力が非常に大きい半導体メモリになってしまうという問題がある。

【0012】本発明は、上記事情に鑑み、メモリ部を構成する多数のメモリ領域それぞれに各格納データを記憶しておき、外部から検索用データを入力し、その入力された検索用データと同一の格納データが格納されたメモリ領域を検出するタイプの半導体メモリにおいて、消費電力が低減化された半導体メモリを提供することを目的とする。

【0013】

【課題を解決するための手段】上記目的を達成する本発明の半導体メモリは、

- (1) 検索用データが入力される検索用データ入力端子
- (2) 多数のメモリ領域それぞれに各格納データを記憶し、上記検索用データ入力端子から入力された検索用データと上記格納データとの一致比較を行うことにより、検索用データと一致する格納データに対応するメモリ領域を選択する一致信号を出力するメモリ部

(3) 上記メモリ領域が複数に分類されてなる各群のうちのいずれか1つの群を指標する分類データを入力する分類データ入力端子

(4) 上記群のそれぞれに対応する群データを記憶し、上記分類データ入力端子から入力された分類データと上記群データとの一致比較を行うことにより、上記メモリ部における、上記検索用データと、上記分類データと一致した群データに対応する群に属する上記メモリ領域に対応する上記格納データのみとの一致比較動作を実行させる制御部

を備えたことを特徴とするものである。

【0014】ここで、上記メモリ部を、上記メモリ領域が上記群毎に分割されてなる複数のメモリブロックに分けた構成とすることが好ましい。

【0015】

【作用】本発明の半導体メモリは、上記群データを記憶しておき、外部から分類データを入力してその分類データと各群データとを比較し、一致する群データに対応する群に属するメモリ領域に対応する格納データのみとの一致比較動作、即ち、その群に属するメモリ領域10（図4参照）についてのみ、検索用データと、そのメモリ領域10に格納された格納データとの一致比較動作を実行させるように構成したため、一致検出線14（図4参照）のプリチャージ、ディスチャージによる電力消費は、その群に属するメモリ領域10の一致検出線14のみにとどまる。したがって消費電力の低減化が図られる。

【0016】

【実施例】以下、本発明の一実施例について説明する。図1は、本発明の一実施例の半導体メモリのメモリ部の、1つの群データが記憶された、1つの群検出領域と、1つの格納データが記憶された、1つのメモリ領域の構成を示す回路図である。

【0017】この図1に示すメモリ領域10は、図4に示したメモリ領域10と同一の構造を有しており、したがってここでは、同一の構成要素に同一の番号を付して示し、詳細説明は省略する。図1に示す群検出領域30も、メモリ領域10と似た構造を有している。この群検出領域30には、一例として2ビット分4個のセルトランジスタ31が備えられており、これらのセルトランジスタ31のゲートは、デコーダ12から延びるワード線33に接続され、またこれらのセルトランジスタ31の

ソースは、一致検出線34に接続されている。またこれらのセルトランジスタ31のうち、第1のグループ31_1に属するセルトランジスタ31のドレインは、分類データCLS_DATAを入力するデータ入力線35に、各セルトランジスタ31の記憶内容‘0’、‘1’に応じて非接続とされ、もしくは接続されている。これにより、所定の群データがここに記憶されていることになる。図1では、セルトランジスタ31とデータ入力線35との接続点に示された、白丸は非接続、黒丸は接続を表わしている。また、セルトランジスタ31のうち、第2のグループ31_2に属するセルトランジスタ31のドレインは、分類データCLS_DATAを入力するデータ入力線35に、インバータ36を介して接続、ないし非接続とされている。

【0018】また、この群検出領域30には、センスアンプ37が備えられており、一致検出線34の充電、放電の状態が検出される。さらにこの一致検出線34には、電源V_{DD}との間にプリチャージトランジスタ38が接続されており、そのプリチャージトランジスタ38のゲートはプリチャージ制御線39に接続されている。またこの一致検出線34と、電源V_{DD}との間には、トランジスタ39が備えられており、そのトランジスタ39のゲートは、センスアンプインバータ41の出力側に接続されている。

【0019】またメモリ領域10に延びるプリチャージ制御線19と電源V_{DD}の間にはトランジスタ43が備えられており、そのトランジスタ43のゲートは群検出領域30のプリチャージ制御線39に接続されている。さらに、センスアンプインバータ41と、メモリ領域10に延びるプリチャージ制御線19の間にはトランジスタ44が備えられており、そのトランジスタ44のゲートは、インバータ45の出力側と接続されている。そのインバータ45の入力側は、群検出領域30のプリチャージ制御線39に接続されている。

【0020】以上のように構成された回路において、まずプリチャージ制御線39を‘0’にする。すると、電源V_{DD}から、プリチャージトランジスタ38を経由して一致検出線34に電荷が流れ込み、その一致検出線34がプリチャージされ、インバータ41の入力側が‘1’、出力側が‘0’となる。またプリチャージ制御線39が‘0’となった状態では、トランジスタ43がオンし、これによりプリチャージ制御線19が‘1’となり、プリチャージトランジスタ18がオフとなり、したがってメモリ領域10に備えられた一致検出線14はプリチャージされない。

【0021】群検出領域30の一致検出線34がプリチャージされると、全ての群検出領域30のワード線33を‘1’にした状態で分類データCLS_DATAが入力される。またこれとともにプリチャージ制御線39が‘1’とされる。入力された分類データCLS_DATA

Aと、セルトランジスタ31が保持する群データ(図1に示す群検出領域30には群データ‘0’、‘1’が保持されている)との一致不一致が判定される。この際の動作については、図4を参照して説明したメモリ領域10における検索用データと格納データとの一致不一致の比較動作と同一であるため、ここでは詳細説明は省略する。

【0022】この比較動作により、センスアンプインバータ41の出力側は、一致する場合に‘0’、不一致の場合に‘1’となる。またこのときには、プリチャージ制御線39は‘1’となり、これによりトランジスタ44のゲートには‘0’が印加されてこのトランジスタ44がオンとなり、群検出領域30から一致‘0’が出力された場合は、メモリ領域10側のプリチャージ制御線19が‘0’に変化して一致検出線14がプリチャージされる。一致検出線14がプリチャージされた後のメモリ領域10の動作は、前述したとおりである。一方、群検出領域30から不一致‘1’が出力された場合は、プリチャージ制御線19は‘1’にとどまり一致検出線14はプリチャージされない。

【0023】即ち、図1に示す回路において、複数の群検出領域30のそれぞれに対応して、1つもしくは複数のメモリ領域10を備えておくと、入力された分類データCLS_DATAと一致する群データが記憶された群検出領域30に対応するメモリ領域10のみにおいて、外部から入力された検索用データREF_DATAと、そのメモリ領域10に記憶された格納データとの一致検出動作が行われ、その他の不一致の群検出領域30に対応するメモリ領域10では一致検出動作は行われず、それらのメモリ領域10の一致線23は不一致を表わす‘1’にとどまることになる。

【0024】このように1回の比較動作においては、一部のメモリ領域10のみを一致比較の対象をすることから、その一部を除く他のメモリ領域10の一致検出線14はプリチャージーディスチャージの過程を経ることが防止され、したがって全体としての電力消費が押えられる。図2、図3は群検出領域30とメモリ領域10との対応づけの各例を表わした模式図である。

【0025】図2は、群検出領域30とメモリ領域10とが一对一に対応づけられていることを表わしている。通常、分類データ、群データは、例えば4群に分類する場合は2ビットで済む等ビット数が少なく、一方検索用データ、格納データは、例えば8ビット、16ビット等そのビット数が多い。したがって一致検出線34、14(図1参照)に関しても、一致検出線34は短く、一致検出線14は長い。従って短い一致検出線34はプリチャージーディスチャージを繰り返すが、長い一致検出線14は、一回の比較動作ではその一部しかプリチャージーディスチャージのサイクルを経ないこととなり、図2に示すように一对一に対応づけた場合であっても、全体

として消費電力の低減化を図ることができる。

【0026】図3は、多数のメモリ領域10を各群毎にブロックに分け、各ブロックと、そのブロックを指示する群検出領域30とを対応づけたことを表わしている。多数のメモリ領域10をこのようにブロック化すると、消費電力の一層の低減化が図られる。

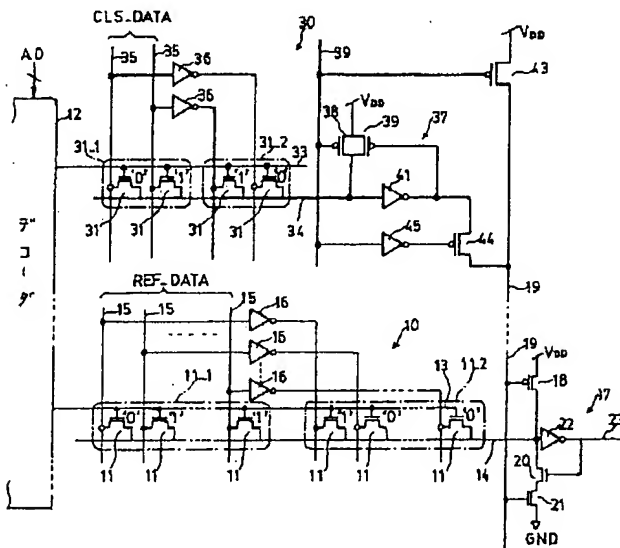
【0027】

【発明の効果】以上説明したように、本発明の半導体メモリは、メモリ部を構成する多数のメモリ領域それぞれに各格納データを記憶しておき、外部から検索用データ10を入力し、その入力された検索用データと同一の格納データに対応したメモリ領域を検出するタイプの半導体メモリにおいて、群データを記憶しておき、外部から分類データを入力してその分類データと各群データとを比較し、一致する群データに対応する群に属するメモリ領域に対応する格納データのみとの一致比較動作を行うように構成したため、消費電力の低減化が図られる。

【図面の簡単な説明】

【図1】本発明の一実施例の半導体メモリのメモリ部の、1つの群データが記憶された、1つの群検出領域と、1つの格納データが記憶された、1つのメモリ領域の構成を示す回路図である。

【図1】



【図2】群検出領域とメモリ領域との対応づけの一例を表わした模式図である。

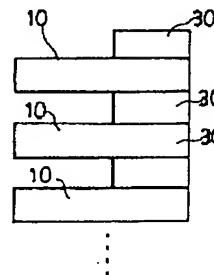
【図3】群検出領域とメモリ領域との対応づけの他の例を表わした模式図である。

【図4】半導体メモリのメモリ部の、1つの格納データが記憶された1つのメモリ領域の構成を示す回路図である。

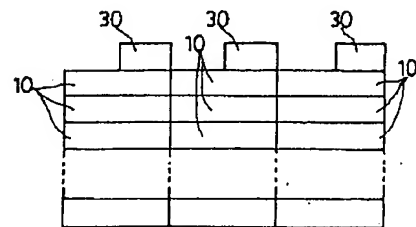
【符号の説明】

- | | |
|----|----------|
| 10 | メモリ領域 |
| 11 | セルトランジスタ |
| 13 | ワード線 |
| 14 | 一致検出線 |
| 15 | データ入力線 |
| 17 | センスアンプ |
| 23 | 一致線 |
| 30 | 群検出領域 |
| 31 | セルトランジスタ |
| 33 | ワード線 |
| 34 | 一致検出線 |
| 35 | データ入力線 |
| 37 | センスアンプ |

【図2】



【図3】



【図 4】

